



UNIVERSITE PARIS-SUD



ÉCOLE DOCTORALE
Sciences et Technologie de l'Information, des Télécommunications
et des Systèmes
Laboratoire de Institut d'Electronique Fondamentale

DISCIPLINE : Physique

SYNTHÈSE

Soutenance prévue le 23/09/2015

par

Robert POLSTER

Architecture of Silicon Photonic Links

Composition du jury :

| | | | |
|-----------------------------|-------------|------------------|---|
| | Azita | EMAMI | Professeur (Caltech univ., Pasadena - Etats-Unis) |
| <i>Rapporteurs :</i> | Jean-Michel | FOURNIER | Professeur (Grenoble - France) |
| <i>Examineurs :</i> | Lionel | TORRES | Professeur (Univ. Montpellier 2, France) |
| | Remco | STOFFER | Dr. / Ingénieur (Phoenix, Pays-Bas) |
| | Jean-Louis | CARBONERO | Dr. / Ingénieur (ST Microelectronics, Crolles) |
| <i>Directeur de thèse :</i> | Eric | CASSAN | Professeur (Univ. Paris-Sud, Orsay, France) |
| <i>Co-encadrant</i> | José-Luis | Gonzalez-Jimenez | Ing. / chercheur (CEA-LETI, Grenoble, France) |

Architectures de Liens Optiques en Photonique sur Silicium

Les calculateurs de très hautes performances (HPC) vont être confrontés à deux enjeux majeurs dans le futur immédiat : la densité des interconnexions et la consommation d'énergie. La technologie *Photonique sur silicium* est une solution efficace en termes de coûts pour ces problématiques. Il est déjà habituel remplacer les câbles de cuivre utilisés dans le passé par des câbles optiques pour la connexion entre les racks et les cartes dans les HPCs et centres de données (de l'anglais Data Centers, DC). Le pas suivant envisagé par la communauté technique vise à effectuer les interconnexions des processeurs multi-core et entre le processeur et les circuits de mémoire par des liens optiques. Ces éléments fortement parallélisés, que l'on trouve dans les architectures des HPC et les DC, vont être intégrés dans un même boîtier contenant plusieurs processeurs et mémoires interconnectés à travers un substrat commun nommé « interposer ».

La technologie photonique sur silicium vise l'utilisation du savoir-faire et les moyens de production et de fabrication existants de la technologie CMOS (Complementary Metal Oxide Semiconductor), avec de légères modifications et ajouts, afin de réaliser des systèmes optiques rapides, de petite taille et économes en terme de consommation énergétique. La technologie photonique sur silicium est donc une technologie planaire basée sur la manipulation de substrats de silicium et suivant la même méthodologie et les mêmes procédés de fabrication que la technologie CMOS de la microélectronique. Toutes les modifications et ajouts nécessaires pour la réalisation des composants photoniques doivent être compatibles avec la technologie CMOS pour permettre une forte intégration entre l'électronique et la photonique et pour la fabrication en masse qui va permettre de réduire les coûts des composants photoniques par rapport à des technologies spécifiquement développées pour l'optique, par exemple pour le marché des télécommunications par fibres optiques. Cette co-intégration poussée apporte des avantages supplémentaires. Elle permet de raccourcir les connexions entre l'électronique de contrôle et les composants photoniques, ce qui minimise les éléments électroniques parasites et permet d'augmenter la vitesse de transmission de données sans augmentation de la consommation énergétique.

Dans l'état de l'art, la technologie photonique sur silicium offre tout un ensemble de composants permettant la réalisation de toutes les fonctions nécessaires pour un lien optique 'on-chip'. Les plus représentatifs sont montrés en Fig. 1. De gauche à droite : un coupler optique, un modulateur optique basé sur un résonateur en anneau, un modulateur Mach Zehnder basé sur le phénomène d'interférences, un filtre pour extraire une longueur d'onde particulière et également basé sur un résonateur en anneau, et pour finir une photodiode Germanium. Notez que les deux types de modulateurs sont montrés dans le même lien en tant que simple illustration de quelques exemples de composants mais ne sont pas utilisés simultanément car ils réalisent la même fonction.

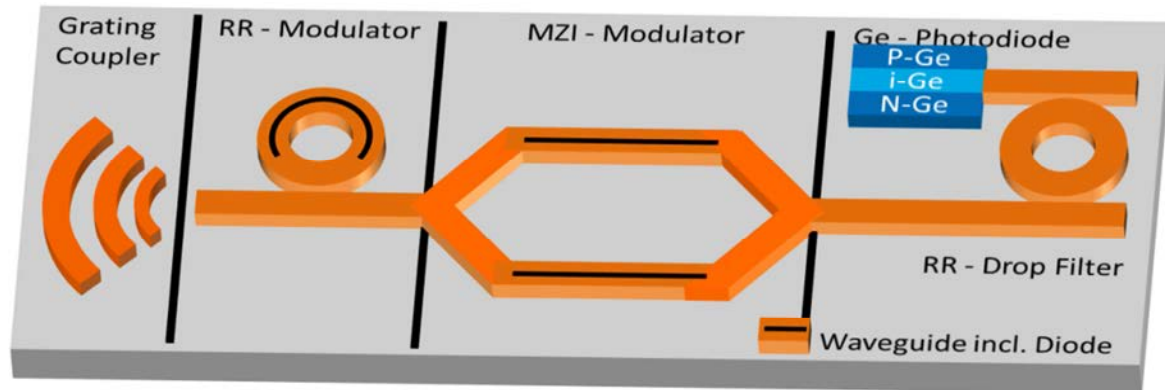


Figure 1 Éléments représentatifs de la technologie photonique sur silicium.

Cette thèse a été réalisée dans le cadre d'un projet interne de l'institut CARNOT du LETI nommé HUBEO+, qui a pour objectif la construction d'un démonstrateur d'un circuit multi-chip (MCU) intégrant plusieurs processeurs et mémoires sur un même *interposer* avec des liens optiques les reliant tous. A cette fin, il a été choisi de placer le réseau d'interconnexions optiques basé sur la technologie photonique sur silicium dans l'*interposer*. Le contexte du projet a imposé certaines contraintes dans les spécifications des différents circuits développés tout au long de cette thèse. L'électronique située aux deux bouts du lien optique a dû être intégrée dans les microprocesseurs et mémoires. Les connexions entre cette électronique et les composants photoniques sur l'*interposer* (modulateurs pour l'émetteur et photodiodes pour le récepteur) s'est fait à travers de micro-piliers en cuivre avec technologie 3D. Tous les composants photoniques ont été réalisés sur l'*interposer*. La technologie sélectionnée pour l'électronique a été, dans un premier moment, celle du nœud CMOS 65nm, mais des développements ont été préparés pour une évolution future, le projet visant une réalisation des microprocesseurs et mémoires au sein d'un démonstrateur final en technologie FDSOI 28nm (FDSOI : Fully-Depleted Silicon On Insulator). L'utilisation de composants électroniques encombrants (en particulier les inductances intégrées) n'est pas possible pour minimiser la taille de la partie électronique des liens optiques à embarquer dans les microprocesseurs et mémoires. Il faut penser que dans un seul microprocesseur ou mémoire, plusieurs émetteurs et récepteurs sont nécessaires pour atteindre le débit total de données visé. Le débit par lien optique a été fixé quant à lui à 8 Gbps.

Dans ce contexte, nous allons montrer dans le cadre de cette thèse que le débit du lien optique est un paramètre critique de ses étapes de conception et d'optimisation du point de vue de la consommation énergétique. Les conclusions de cette thèse vont nous permettre de trouver et de justifier un débit différent de la valeur initiale choisie, mais ces résultats sont arrivés vers la fin de la thèse et pour la réalisation des circuits, nous avons dû nous restreindre à l'utilisation du débit de 8 Gbps spécifié au début dans le cadre du projet HUBEO+.

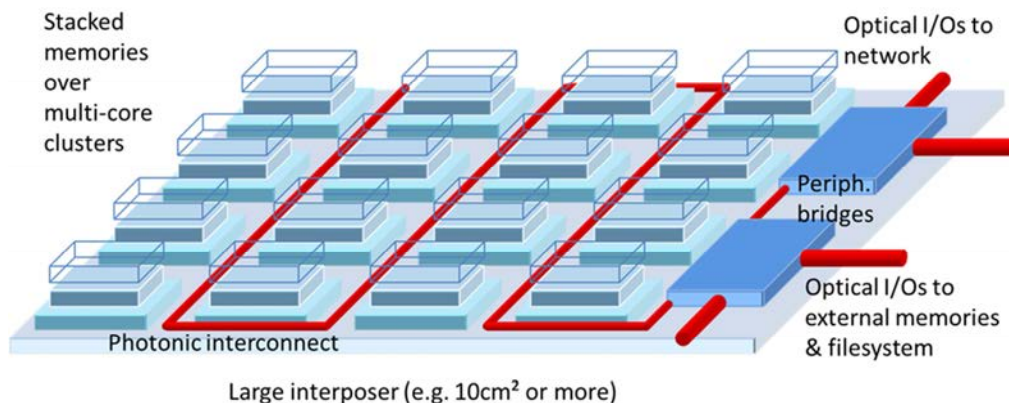


Figure 2 Vision du MCU envisagé dans le projet HUBEO+

Notre travail de thèse a contribué à l'état de l'art, selon les principales avancées suivantes :

- 1) Construction d'un modèle paramétré en termes de consommation énergétique d'un lien optique et application de ce modèle à l'étude des compromis entre consommation, débit, et autres paramètres des composants du lien complet.
- 2) Conception, fabrication et caractérisation d'un récepteur en technologie CMOS 65nm.
- 3) Conception de deux nouvelles topologies de récepteur d'horloge optique.

1. Modèle paramétré en terme de consommation énergétique d'un lien optique et études d'optimisation

Un lien optique point-à-point typique est montré en Figure 3 ; il constitue le point de départ de notre étude d'optimisation. Il est constitué d'un laser, d'un modulateur optique avec son contrôle thermique permettant de compenser les dérives de longueur d'onde, un guide optique qui constitue le 'câble' optique, une photodiode et une étape de décision qui réalise aussi une désérialisation du lien série haut vitesse pour sortir plusieurs flux de données parallèles à une vitesse abordable pour l'électronique numérique qui traite ces données. On considère que le laser émet de la lumière de façon continue et que sa sortie est couplée dans le guide d'onde d'entrée du modulateur avec un 'grating coupler', un composant passif réalisé sur l'*interposer*. L'intensité de la lumière est alors modulée avec un modulateur basé sur un anneau résonant. De tels dispositifs ne consomment que peu d'énergie eux-mêmes, mais nécessitent d'être pilotés électriquement et leurs température doit être contrôlée de manière à garantir une stabilité correcte de la longueur d'onde de résonance. Le débit optimal que l'on vise est très probablement situé au-delà de 1-3 Gbps (la fréquence d'horloge maximale des processeurs et mémoires à l'état de l'art ne dépasse pas les 3 GHz). On aura besoin donc d'une étape de sérialisation qui va précéder le driver du modulateur pour véhiculer plusieurs flux de données traités en parallèle à la vitesse maximale de l'électronique

numérique (i.e. 2 Gbps dans notre cas) dans un même lien série qui va les transmettre à une vitesse beaucoup plus élevée. La guide d'onde optique amène la lumière directement à une photodiode qui transforme les variations d'intensité lumineuse en variations de courant électronique. La photodiode est suivie d'un amplificateur de transimpédance (TIA) qui transforme le courant en tension et amène le signal dans l'étage final qui prend la décision sur le bit reçu ('0' ou '1'). Plusieurs de ces circuits de décision sont utilisés en parallèle pour réaliser la désérialisation. Ils sont considérés comme un seul bloc dans notre étude.

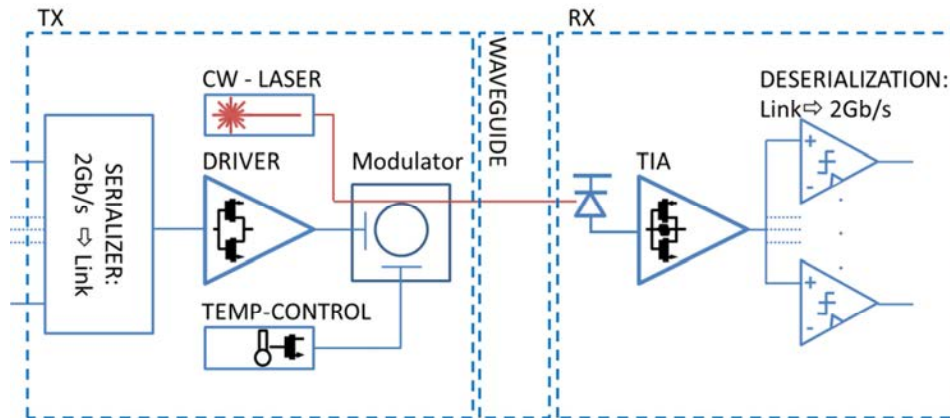


Figure 3 Diagramme de blocs d'un lien optique.

L'optimisation globale de systèmes complexes, comme un lien optique, passe par un certain degré de simplification de ses composants, qui sont modélisés de façon à extraire leurs paramètres les plus importants et les relations qui existent entre eux. Dans le cadre de cette thèse, la modélisation du TIA est basée sur une large base de données construite à partir de simulations de trois types de circuits représentés sur la Figure 4 ((i): source commune, (ii): topologie push-pull, (iii): double étage push-pull). Ces circuits ont été simulés pour une large plage de valeurs de leurs paramètres (taille des transistors, valeur de la résistance de rétroaction, valeur de la polarisation). Cette base de données a permis de connaître la consommation énergétique, la valeur de la transimpédance de contre-réaction et la largeur de bande passante de chaque version des circuits.

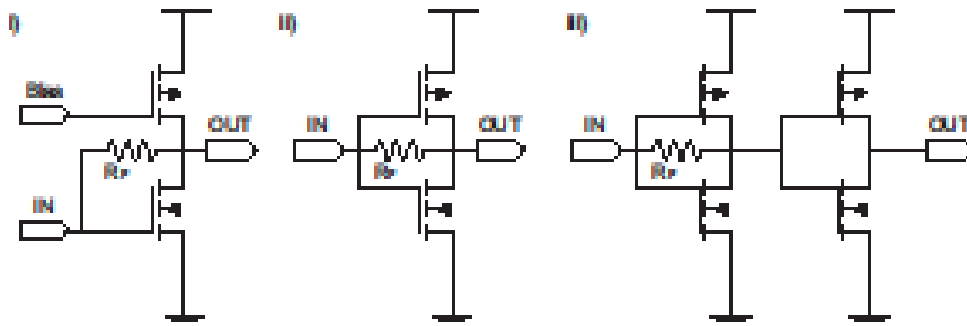


Figure 4 Topologies de TIA considérées.

Pour les autres composants du lien optique, les modèles de consommation énergétique en fonction du débit de données sont de type analytique, mais certains leviers d'ajustements sont utilisés pour ajuster les modèles aux résultats de simulation avec un sous-ensemble de paramètres possibles pour chaque bloc.

Un étude de la littérature existante, complétée par des modèles analytiques développés dans le cadre de la thèse, nous a permis de trouver que le compromis principal pour l'optimisation de cette type de liens optiques pour les applications chip-to-chip met en relation la puissance optique nécessaire pour atteindre un débit donné. Ce compromis apparaît à plusieurs niveaux du lien optique, notamment si l'on considère certains de ses composants séparément. Ainsi, pour le TIA, la largeur de bande (BW, de l'anglais bandwidth) peut être ajustée en fonction de la valeur de la transimpédance souhaitée. Par exemple, pour la technologie 65nm CMOS, la topologie push-pull conduit à une BW de 15 GHz et une transimpédance de 1 k Ω , mais un autre compromis est donnée par une transimpédance de 40 k Ω pour un BW de 1 GHz. Dans le premier cas, le TIA peut travailler avec un débit plus important, mais dans le deuxième cas, la puissance optique peut être réduite. Il faut noter qu'au niveau du lien complet, une puissance optique plus faible permet avoir un laser moins consommant, mais un débit plus élevé permet aussi réduire la consommation énergétique car la consommation de puissance constante du laser est divisée par un débit plus élevé. La technologie utilisée a un impact aussi sur ces compromis. Pour le même circuit TIA réalisé en technologie FDSOI 28nm, nous avons obtenu des valeurs extrêmes de BW de 30 GHz et transimpédance de 1 k Ω , ou bien 40 k Ω de transimpédance pour un BW de 1 GHz.

Un deuxième compromis est trouvé entre la relation BW du TIA et le débit maximal. Nous avons montré qu'une puissance optique plus élevée permet d'augmenter le débit maximal pour un même BW de TIA. Ce résultat permet d'effectuer une optimisation globale au niveau du récepteur, qui met en relation la sensibilité (le niveau minimal pour atteindre un taux d'erreur donné, par exemple $BER=10^{-12}$) et le débit binaire. Un compromis du même type peut se trouver aussi pour l'émetteur, parce que des débits plus petits permettent d'utiliser des amplitudes d'émission plus importantes, réduisant l'impact négatif de quotient d'extinction (extinction ratio) défini comme le ratio entre la puissance optique correspondant aux deux valeurs numériques '0' et '1' des données émises.

L'efficacité énergétique est le point central des circuits optimisés et conçus dans cette thèse. L'objectif de l'optimisation a consisté à trouver l'ensemble de paramètres pour les circuits aboutissant à la meilleure efficacité énergétique possible (i.e. la valeur le plus petite de la consommation d'énergie en Joules par bit). Pour ce faire, nous avons utilisé la base de données des TIA et construit le lien optique le plus économe en énergie consommée pour chacun des éléments de cette base de données. La consommation de chaque élément de ces liens a donc été intégrée dans la base de données à partir de modèles analytiques, et la base de données a été finalement ordonnée pour sélectionner le lien le moins consommant. Il faut noter que dans cette base de données, certain degrés de liberté comme la puissance optique du laser ou le débit binaire

subsistent. Ceci nous a donc permis d'étudier la dépendance de la consommation énergétique du lien en fonction de ces paramètres.

En Figure 5, nous montrons quelques résultats issus de notre étude. Le paramètre principal que nous avons utilisé pour trouver le point optimal a été le débit de données du lien optique. La valeur qui permet de minimiser la consommation du lien pour la technologie CMOS 65nm est de 10 Gbps, et il devient 16.5 Gbps pour la technologie FDSOI 28nm. Pour ces deux exemples, la consommation est respectivement de 0.67 pJ/b et 0.40 pJ/b. Ces résultats comprennent la consommation du laser, celle du driver, et celle du modulateur, ainsi que celles des étages sérialisation et désérialisation et le contrôle thermique des résonateurs en anneau de l'émetteur et le récepteur. L'analyse détaillée de la contribution de chaque élément permet de montrer que, contrairement à ce qui est considéré dans certains travaux antérieurs, la consommation du laser n'est pas le contributeur principal si on arrive à optimiser la sensibilité du récepteur.

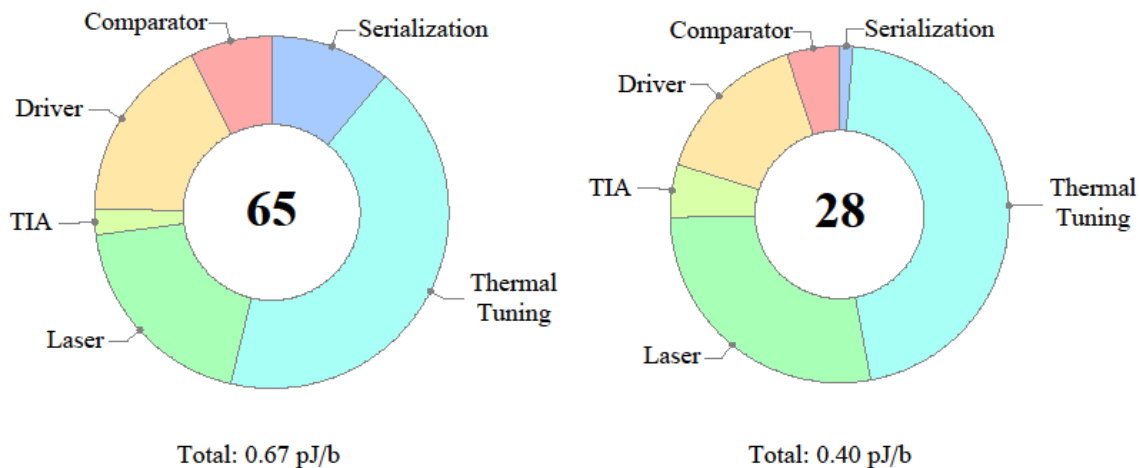


Figure 5 Contribution des différents éléments d'un lien optique à la consommation énergétique pour le cas optimale et pour deux réalisations technologiques différents (CMOS 65nm et FDSOI 28nm).

Les résultats de notre étude permettent aussi de valider l'objectif de descendre au-dessous de 1 pJ/b de consommation énergétique pour un lien optique réalisé avec des technologies CMOS avancées en combinaison avec des composants optiques en technologie photonique sur silicium. Le débit doit être choisi avec soin si l'on veut atteindre la valeur optimale de consommation, mais les courbes de dépendance énergie versus débit issues de notre étude (voir Figure 6) ont une base assez large. Elles montrent que, dans le cas de la technologie CMOS 65 nm pour des débits entre 8 et 15 Gbps la consommation énergétique est minimale autour de 0.7 pJ/bit. Pour la technologie FDSOI 28nm la plage s'étend de 12 à 22 Gbps, avec une valeur minimale autour de 0.4 pJ/b.

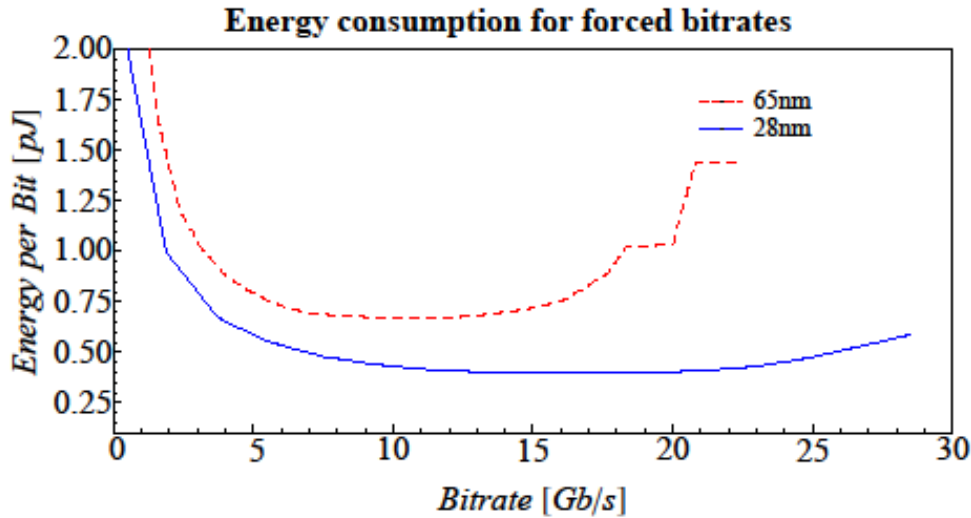


Figure 6 Consommation énergétique minimal en fonction du débit du lien optique pour deux réalisations technologiques différents (CMOS 65nm et FDSOI 28nm).

Cependant, il faut tenir en compte de ce que les résultats précédents d'optimisation ne considèrent l'impact de la complexité croissante de la distribution de l'horloge à mesure que l'on augmente le débit. Considérant ceci, il serait toujours préférable de choisir le débit le plus bas possible pour réduire la consommation de la distribution d'horloge.

2. Conception d'un récepteur d'un lien optique en technologie CMOS 65nm

La deuxième contribution majeure de cette thèse est la réalisation de l'électronique du récepteur pour lien optique. Dans le cadre de nos travaux, nous avons conçu des comparateurs rapides avec forte sensibilité (30 mV pour la technologie CMOS 65 nm et 15 mV pour la technologie FDSOI 28nm). Ces composants permettent de viser un récepteur avec un seul étage parce que le gain d'un seul amplificateur TIA suffira pour atteindre la sensibilité imposée par le comparateur pour des niveaux raisonnables de puissance optique reçue. La topologie sélectionnée pour le TIA, après l'étude présentée à la section antérieure, est l'étage simple push-pull. Ce TIA est connecté à quatre comparateurs-échantillonneurs qui travaillent avec quatre phases consécutives d'une horloge de 2 GHz de fréquence. Chaque comparateur travaille à 2 G-échantillons par seconde, et l'ensemble des quatre comparateur permet le traitement de la sortie du TIA avec le débit visé de 8 Gbps spécifié par le projet HUBEO+ (voir Fig. 7).

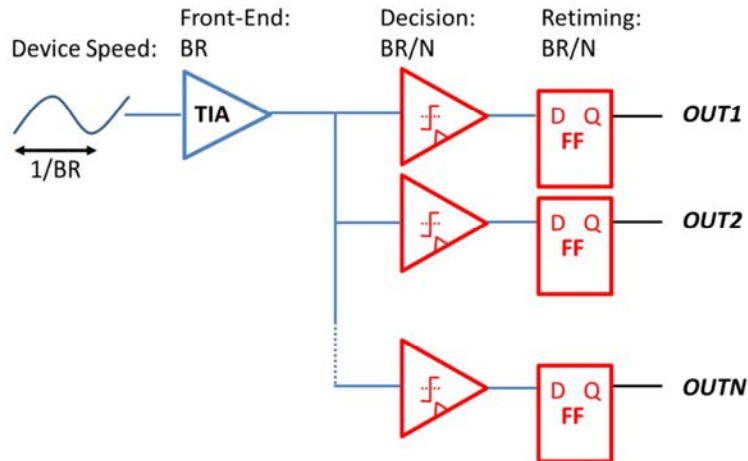


Figure 7 Architecture du récepteur.

Dans le réseau envisagé par le projet HUBEO+, chaque processeur doit pouvoir communiquer avec chaque autre circuit sur l'interposer. Dans cette structure de réseau, ce n'est pas toujours le même émetteur qui va être mis en communication avec le récepteur et ainsi, les niveaux de puissance optique arrivant à la photodiode peuvent varier en fonction de l'émetteur. Le récepteur doit donc avoir, à la fois une large plage dynamique d'entrée et la capacité d'auto-générer une tension de référence à l'entrée des comparateurs qui permet de différencier le '1' et le '0' à partir des deux niveaux de puissance optiques reçus à l'intérieur de la plage dynamique acceptable. Le récepteur conçu dans cette thèse incorpore un mécanisme innovant pour générer cette tension de référence à partir d'une séquence d'entraînement très courte consistant en une alternance de '0' et de '1' optiques, comme l'illustre la Fig. 8.

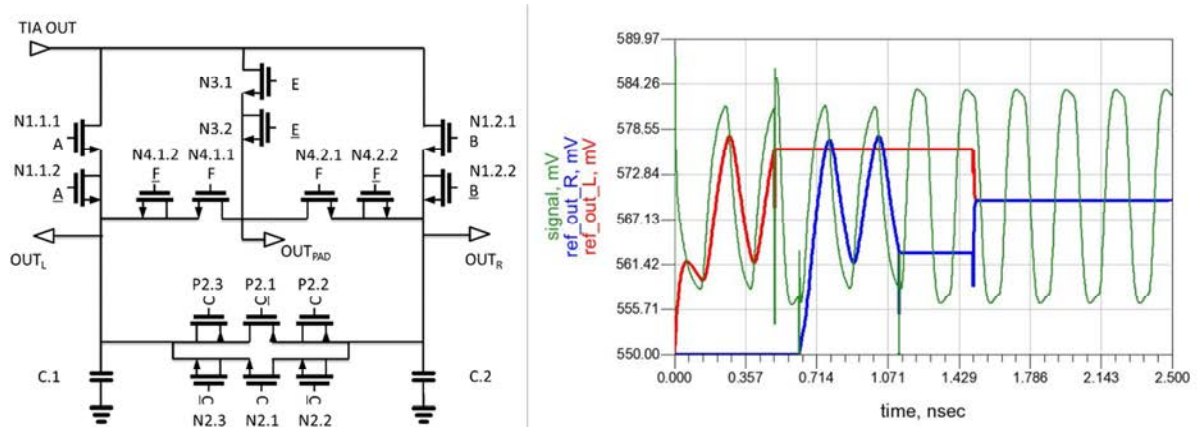


Figure 8 (left)TCB schematic (right) waveforms of signals during signal acquisition

La large plage dynamique est obtenue grâce à une conception aussi originale du TIA qui permet de s'affranchir de la source de courant que l'on trouve dans les circuits existants pour supprimer à l'entrée son valeur moyen. La plage dynamique peut encore

s'élargir si l'on utilise une résistance contrôlable de rétroaction réalisée avec un transistor MOS, comme illustré en Fig. 9 qui montre les valeurs de bande passante (BW) et transimpédance en fonction de la valeur du courant moyen sortant de la photodiode. Pour notre application, une transimpédance de 2,3 k Ω et une BW de 6,7 GHz sont nécessaires.

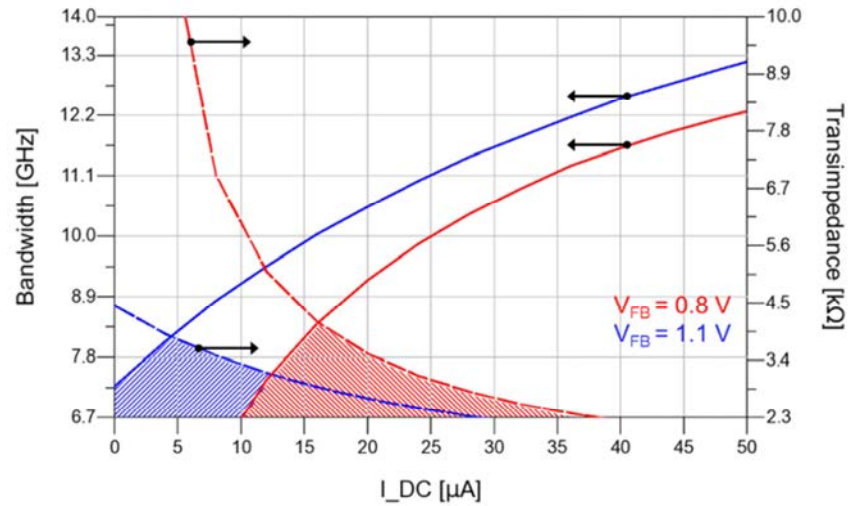


Figure 9 Plage dynamique du TIA conçu pour le récepteur optique.

Un circuit intégré contenant différentes versions du TIA isolé et du récepteur complet a été fabriqué. Le TIA a été caractérisé électriquement avec un circuit intégré situé sur la même puce et permettant d'émuler le fonctionnement électrique de la photodiode. Une copie du même TIA fabriqué dans le même circuit a été mesurée en le connectant avec une photodiode externe.

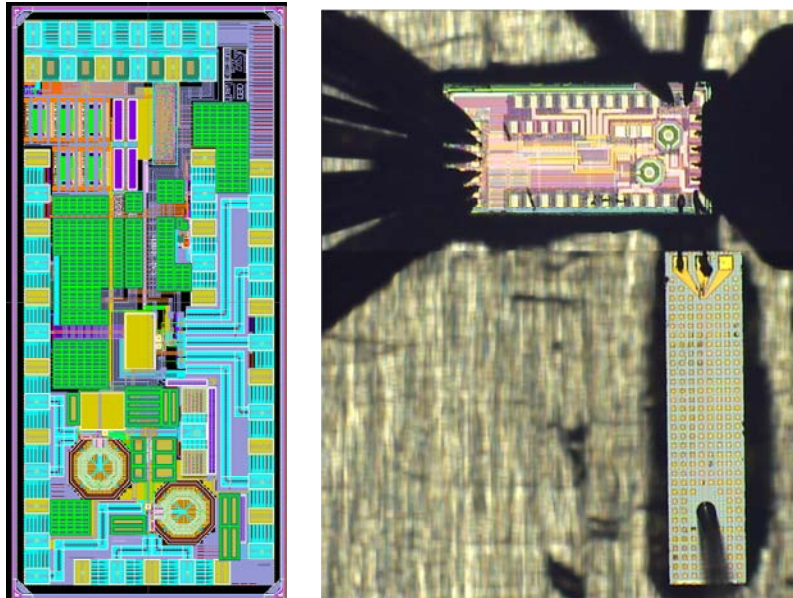


Figure 10 Circuits intégrés fabriqués.

Les résultats obtenus de mesure du TIA sont très prometteurs : il peut travailler dans une plage de valeurs de courant moyen à l'entrée allant de 0 et 40 μA . En fonction de la valeur de la tension de contrôle de la résistance variable de rétroaction, la largeur de bande maximale est de 15 GHz et la transimpédance maximale est de 18 $\text{k}\Omega$ (voir Fig. 11).

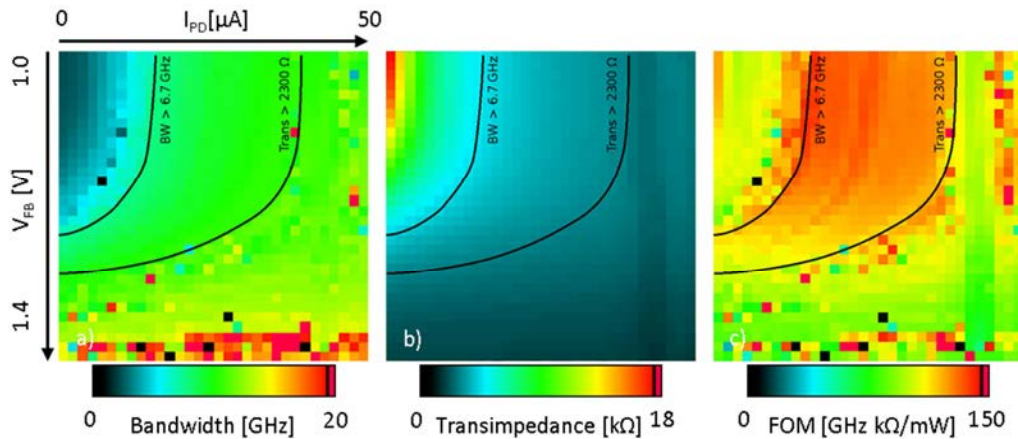


Figure 11 Valeurs de BW et transimpédance du TIA en fonction du voltage de control de la résistance de rétroaction et du courant moyen de la photodiode.

Le TIA a aussi été mesuré avec une photodiode externe, mais les parasites dus à l'interconnexion ont limité la bande passante. Les diagrammes de l'œil correspondants sont montrés en Figure 12. Ilset nous ont permis de valider le TIA avec la photodiode externe jusqu'à une vitesse de 5 Gbps.

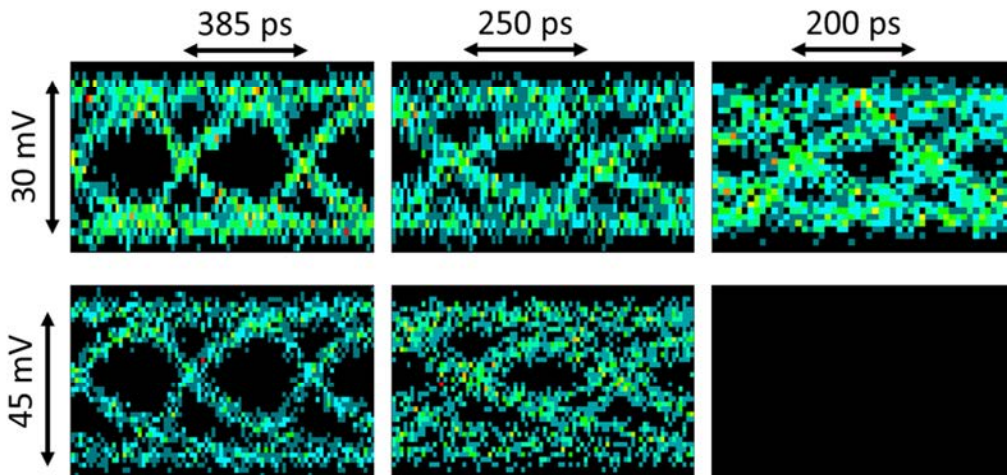


Figure 12 Diagrammes de l'œil du TIA connecté à une photodiode externe.

Le récepteur complet a aussi été mesuré. Il ne consomme que 75 fJ/b, sans compter la circuiterie qui génère l'horloge. Ceci est due au fait que cette circuiterie, dans une réalisation finale, servirait à plusieurs émetteurs et récepteurs présents dans le même circuit. Le récepteur a une sensibilité de -18 dBm. Un lien complet comprenant ce

récepteur et dimensionné avec la méthodologie présentée dans la section précédente aurait une consommation total de 860 fJ/b, et permettrait accomplir l'objectif d'une consommation inférieure à 1 pJ/b. Le test expérimental a permis valider un BER de 10^{-10} en mesures avec des pointes, pour un courant de photodiode de 33 μA_{pp} .

3. Conception de deux récepteurs d'horloge optique innovants

L'utilisation d'une horloge distribuée de façon optique dans un ensemble de circuits numériques est un autre des atouts de la photonique sur silicium. Il permet de réduire le phénomène de 'clock-skew'. De plus, un laser pulsé peut servir à générer directement cette horloge, ce qui permet d'éliminer le modulateur optique et augmenter l'efficacité énergétique. Nous avons proposé dans cette thèse deux récepteurs d'horloge optique adaptés à de signaux d'entrée pulsés de courte durée.

Le premier récepteur est basé sur la topologie 'integrate-and-dump' (laD). Dans les récepteurs laD classiques, il faut un signal périodique de remise à zéro (RESET) externe, mais cette option n'est pas disponible dans un récepteur d'horloge. Nous avons donc proposé un mécanisme d'auto-synchronisation qui permet générer ce signal périodique d'initialisation internement. Le circuit est montré en Figure 13.

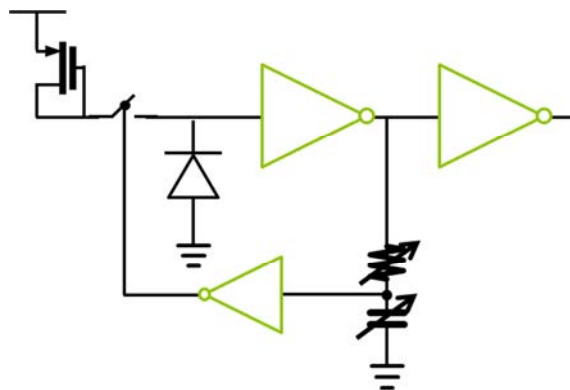


Figure 13 Récepteur d'horloge optique avec auto-synchronisation.

Le deuxième circuit proposé est basé sur les oscillateurs verrouillés par injection (ILOs). La principale limitation de ce type de systèmes est la dépendance de sa fréquence centrale d'auto-oscillation en fonction de conditions environnementales, ce qui complique sa conception. Nous proposons dans cette thèse une méthodologie de modélisation et un mécanisme d'auto-calibration qui permettent de s'affranchir de cette limitation. La nouvelle technique proposée se base sur la comparaison de la phase du ILO lui-même opérant dans un boucle de contrôle qui compense les effets des variations environnementales avec une copie du même circuit mais opérant en boucle ouverte. Le fonctionnement de cette technique est illustré en Figure 14.

Les deux récepteurs d'horloge optique proposés ont été réalisés et simulés avec une technologie FDSOI 28nm. Les deux ont une sensibilité de 5 μA et une consommation de 150 μW pour un horloge à 2 GHz pour le laD et de 3 GHz pour le ILO.

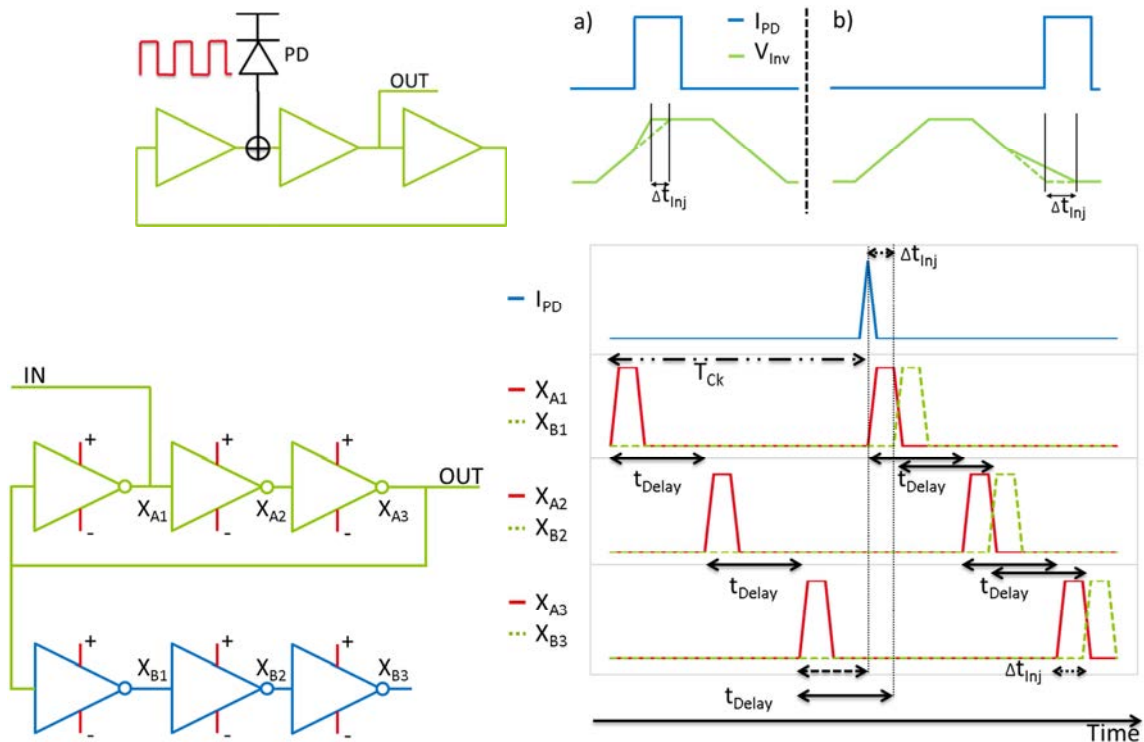


Figure 14 Utilisation d'un ILO pour recevoir un horloge optique et mécanisme d'auto calibration..

Conclusion

Pour conclure, ce travail de thèse a eu pour contexte un projet interne de l'institut CARNOT du CEA-LETI nommé HUBEO+, qui avait pour objectif la construction d'un démonstrateur d'un circuit multi-chip intégrant plusieurs processeurs et mémoires sur un même *interposer* présentant des liens optiques les reliant entre eux.

Le projet de thèse de 3 ans s'est intégré de manière plus large dans la dynamique actuelle des circuits intégrés mettant en jeu une co-intégration progressive de l'optique guidée et de la microélectronique CMOS (Silicon Photonics / CMOS photonics).

Un travail d'optimisation des liens optiques a été effectué, à partir de modèles analytiques et de simulations numériques lourdes (CADENCE) disponibles au sein du laboratoire d'accueil. Un modèle paramétré en termes de consommation énergétique d'un lien optique et diverses études d'optimisation ont été ainsi proposées. En complément, la conception d'un récepteur d'un lien optique en technologie CMOS avancée (65nm) a été proposée et plusieurs propositions originales ont été effectuées pour résoudre des verrous présents dans l'état de l'art antérieur des circuits récepteurs (mécanismes d'auto-calibration, plages dynamiques larges de fonctionnement).

Au final, ce travail a contribué à l'avancement du projet HUBEO+ et donnera lieu à des prolongements.